

### Adaptive equalizer circuit

Publication number: TW498637B

Publication date: 2002-08-11

**Inventor:** NISHIMURA KOUICHIROU (JP); HIROSE KOUICHI (JP)

**Applicant:** HITACHI LTD (JP)

**Classification:**

- International: G11B20/10; H03H15/00; H03H21/00; H04B3/06; H04L25/03; G11B20/10; H03H15/00; H03H21/00; H04B3/06; H04L25/03; (IPC1-7): H04B3/06

- European: H03H21/00B; H04L25/03B1A5

Application number: TW20010105854 20010313

Priority number(s): JP20000143398 20000511

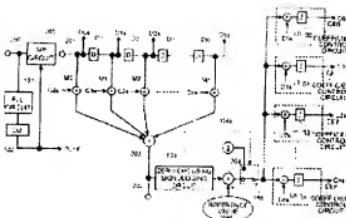
#### Also published as:

US30010436E1 (A1)

IR2001318433 (A)

### Abstract of TW498637B

In an adaptive equalizer circuit, to an input having a fluctuating amplitude, a stable adaptive equalization operation can be realized without changing over a reference value for computing an equalization error. An input signal is held as a sample with a timing signal shifted from a reference clock of the input signal by a phase of 1/2 cycle. An equalization output is computed from an obtained sample data. The difference between only the first output value after a zero-crossing and an arbitrary set reference value is computed and the computed value is set as an equalization error. A coefficient of the adaptive equalization circuit is updated from the equalization error and the sample data. Further, to the displacement of the symmetry of the input signal, the reference value of the adaptive equalizer circuit is changed corresponding to the change of a binarization threshold value of a binarization circuit which constitutes a rear stage of the adaptive equalizer circuit.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

## 公 告 本

申請日期	90 年 3 月 13 日
案號	90105854
類別	H04B 3/06

A4

C4

498637

(以上各欄由本局填註)

發明專利說明書  
新 型

一、發明 名稱 新型	中 文	自適應等化器電路
	英 文	Adaptive equalizer circuit
二、發明 人 創作	姓 名	(1) 西村孝一郎 (2) 廣瀬幸一
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國東京都千代田區丸之一丁目五番一號 新九大樓日立製作所(股)知的所有權本部內 (2) 日本國東京都千代田區丸之一丁目五番一號 新九大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式會社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代表人 姓 名	(1) 庄山悅彥

裝

訂

線

承辦人代碼：	
大類：	
I P C 分類：	

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號：  有  無主張優先權

日本

2000 年 5 月 11 日 2000-143398

 有主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

有關微生物已寄存於： 寄存日期： 寄存號碼：

裝

訂

線

## 四、中文發明摘要(發明之名稱：自適應等化器電路)

在一自適應等化器電路中，對於具有擾動振幅之輸入來說，能夠實現穩定的自適應等化操作，但不需轉換用以計算等化誤差的參考值。一輸入訊號被保持作為一取樣，其具有被偏移自輸入訊號之參考時鐘差  $1/2$  周期之相位的時序訊號。從所獲得之取樣資料來計算等化輸出，在僅於零交叉之後的第一個輸出值與一任意設定的參考值之間的差值被計算，且所計算之值被設定為等化誤差，從等化誤差及取樣資料來更新自適應等化器電路的係數。此外，對於輸入訊號之對稱的位移來說，自適應等化器電路的參考值對應於二進位化電路之二進位化臨界值的改變而被改變，而二進位化電路構成自適應等化器電路的尾級。

(請先閱讀背面之注意事項再填寫本頁各欄)

## 英文發明摘要(發明之名稱：ADAPTIVE EQUALIZER CIRCUIT)

In an adaptive equalizer circuit, to an input having a fluctuating amplitude, a stable adaptive equalization operation can be realized without changing over a reference value for computing an equalization error. An input signal is held as a sample with a timing signal shifted from a reference clock of the input signal by a phase of  $1/2$  cycle. An equalization output is computed from an obtained sample data. The difference between only the first output value after a zero-crossing and an arbitrary set reference value is computed and the computed value is set as an equalization error. A coefficient of the adaptive equalization circuit is updated from the equalization error and the sample data. Further, to the displacement of the symmetry of the input signal, the reference value of the adaptive equalizer circuit is changed corresponding to the change of a binarization threshold value of a binarization circuit which constitutes a rear stage of the adaptive equalizer circuit.

## 五、發明說明 ( 1 )

本發明之背景：

本發明之領域：

本發明係有關一種光學資訊記錄及再生裝置之波形等化器電路，而該裝置能夠將資訊光學地記錄及再生於記錄媒體。

相關技術之說明：

光碟之記錄及再生系統具有被稱為“光學轉換函數(OTF)”之傳輸特性，光學轉移函數係由雷射波長及光學拾波器中之透鏡的數值孔徑所決定，此OTF具有一種低通濾波器的特性。因此，當記錄在光碟上之資料的記錄密度被增加，以增加光碟記錄容量時，傳輸頻帶變短，而因此，當鄰近標記即將被再生時，介於信號之間的干擾被產生，在信號中，個別再生波形互相干擾。作為使信號間之此干擾衰減的技術，使用一波形等化器電路，其加強再生訊號的高頻帶成分。但是，因為光學傳輸特性根據光碟與拾波器之間的關係而被改變，所以當等化特性被固定時，由於使諸如光碟之傾斜及再生訊號等因素變差，信號之間的干擾被產生。此外，因為光學傳輸特性的頻帶根據光碟的再生速度而被改變，所以在例如CAV等等之可變速度再生方面，接著光碟的再生速度之後，變得必須改變等化特性。為了解決這樣的問題，使用波形等化技術，其利用自適應等化器電路。自適應等化器電路對應於輸入訊號系統中之傳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 2 )

輸特性的改變來改變等化特性，並將適當的訊號傳送至輸出訊號系統。

圖 2 顯示一自適應等化器電路的習知例，藉由取樣讀取訊號 200(由光碟(未顯示出)所讀取)所獲得之取樣值輸入 201 經由一取樣保持電路 205 而被輸入至一系統，此系統包括  $n$  塊單位延遲元件  $D1-Dn$ ，而此  $n$  塊單位延遲元件  $D1-Dn$  在縱向方向上彼此連接。單位延遲元件  $D1-Dn$  具有等於上述取樣值之取樣周期的時間延遲，並且其中一個單位延遲元件的輸出變成先前取樣的輸入。在乘法電路  $M0-Mn$  中，訊號 201 及輸出自個別延遲元件之取樣值與由係數控制電路  $C0-Cn$  所計算之係數的乘積被計算，並且諸乘積被輸入至一加法電路 203。來自加法電路 203 的輸出被輸出作為自適應等化器電路的輸出值 202，且同時被輸入至一減法電路 204。在減法電路 204 中，輸出值  $V_o$  與一任意給定參考值之間的差被輸出作為自適應誤差值，此參考值被決定而使此得自適應等化器電路的等化特性變成目標傳輸特性，此決定方法被詳細說明於後。由減法電路 204 所獲得之誤差值被輸入至係數控制電路  $C0-Cn$ ，各係數控制電路係由一乘法電路及一積分電路所構成。舉例來說，在係數控制電路  $C0$  中，藉由乘法電路  $L0$  來計算輸入取樣值 201 與上述誤差值的乘積，並且所得到之值被積分電路  $S0$  所平均，且被輸入至乘法電路  $M0$  作為一係數。

照這樣，藉由依序更新 FIR(有限脈衝響應)濾波器的係數，自適應等化器電路將等化特性設定為目標傳輸特性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 3 )

接著，解釋上述的參考值。在此，作為到自適應等化器電路的輸入，例如，考慮圖3所示之訊號，在此波形中，當傳輸特性被適當等化時，在由數字301所表示之零交叉點附近的取樣值變成零。因此，具有零交叉點附近之自適應等化器電路的輸出  $V_o$  之取樣被提取，而後，上述  $V_o$  與參考值之間的差被計算，而同時假設參考值為零，並且，所計算之值被輸入至係數控制電路作為等化器誤差，藉此，能夠獲得針對圖3所示之輸入波形的適當等化器係數。此外，作為設定參考值的另一技術，如圖4所示，臨界值  $+V_{th}$  及  $-V_{th}$  被設定，並且自適應等化器電路之輸出  $V_o$  與臨界值之數值大小的比較被執行，而且參考值根據其結果而做改變。

舉例來說，關於圖4所示之例，當自適應等化器電路的輸出  $V_o$  被設定為  $V_o < -V_{th}$  時，參考值被設定為  $-1$ ，當自適應等化器電路的輸出  $V_o$  被設定為  $-V_{th} < V_o < V_{th}$  時，參考值被設定為  $0$ ，且當自適應等化器電路的輸出  $V_o$  被設定為  $V_{th} < V_o$  時，參考值被設定為  $1$ 。

由於這樣的組成，有可能實施相關於自適應等化器電路的所有輸出值之係數的更新，使得零交叉點附近之輸出值的提取變成不需要。

這些參考值的設定及自適應等化器電路之操作的方式被詳細敘述於日本特開平公開 321671/1997。

本發明之概述：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 4 )

考慮設定自適應等化器電路之參考值作為習知例的技術被應用於光碟之再生的情況。

在構成可記錄光碟之DVD-RAM中，位址資訊被先行記錄在被稱為PID(實際識別資料)區的區域中。

因為PID區不連續地出現於光碟中，與參考時鐘同步，一個被稱為VFO(可變頻率振盪器)部分的區域出現，且單一頻率之訊號被記錄於其中。如圖5所示，當僅使用與在此VFO部分所再生之波形相關之零交叉點附近的輸出值來執行係數之更新時，關於與資料取樣周期同步之波形在振幅上不同的波形，計算自在零交叉部分501-505所取樣之資料的等化器誤差均變成零。但是，在零交叉點以外的區域中並未實施控制，如圖5所示，存在有無數滿足上述特性之波形，這意指存在有無數的轉變點，使得自適應等化器電路之波形變得不穩定。

此外，在光碟中，藉由利用光碟的光學特性來驅動一追蹤伺服器及一旋轉伺服器。因此，關於一CD，實施調變以使8位元資料被轉換成14位元資料，並且這變成為3-11Tw之重複資料，假設1位元被設定作為參考時鐘周期1Tw的話。同樣地，關於一DVD，實施調變以使8位元資料被轉換成16位元資料，並且這變成為3-14Tw之重複資料，假設1位元被設定作為參考時鐘周期1Tw的話。由於這些調變，讓避免連續長時間之由0及1所構成的相同位元變成可能，並使得能夠以穩定方式驅動追蹤伺服器及旋轉伺服器。另一方面，使訊號的頻帶變寬，特別是，DVD使用在光學

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 5 )

傳輸特性之上限附近中訊號頻帶的一部分。

圖 6 顯示在以相同之 fold 速度再生 DVD 時，具有 0.6 之數值孔徑，並且在 650 nm 之雷射頻率處的光學傳輸特性，在藉由 DVD 之相同 fold 速度再生的情況中，具有最高頻率之 3 Tw 訊號的重複頻率為 4.36 MHz，並且振幅變成具有最低頻率之 14 Tw 訊號 (頻率 0.96 MHz) 的約 30%，圖 7 顯示 DVD 再生時的眼形圖案。

在對這樣的波形實施自適應等化器電路之係數更新於由虛線所表示之參考時鐘周期時所取樣的所有取樣值中，當使用 14 Tw 訊號作為參考來設定臨界值  $V_{th}$  及參考值時，對 3 Tw 訊號之等化器誤差變大，並且由於過度的等化，這導致群延遲特性的不規則性，而且使自適應等化器電路之係數收斂性能變差。

對付此現象，可以考慮提供多組的  $V_{th}$  及正的和負的參考值。但是，因為不可能估計訊號周期，所以變得需要保持由諸如記憶體等等之儲存機構所輸出之自適應等化的值，並設定參考值，而同時測量訊號周期。因此，變得需要一用以管理係數更新之時序的累贅處理及諸如記憶體等等之儲存機構。

為了解決上述問題，一自適應等化器電路，將給定的等化特性加到經由一傳輸路徑所輸入之訊號，並實施控制，使得藉由根據所獲得之輸出及一給定的參考值執行算術運算所得到的等化誤差被最小化，因此而獲得等化特性，本發明之自適應等化器電路被構成，使得算術運算與一具

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 6 )

有和上述訊號之參考時鐘訊號差  $1/2$  時鐘周期的訊號同步被執行，並且藉由根據在自適應等化器電路之輸出的符號從正變到負或從負變到正之後的第一個輸出值及上述之給定的參考值，計算等化誤差以改變等化特性。

此外，在上面所述之改變等化特性的構成中，根據在上述自適應等化器電路之輸出符號從正變到負之後的第一個輸出值及第一參考值來改變等化特性，並且，根據在上述自適應等化器電路之輸出符號從負變到正之後的第一個輸出值及第二參考值來改變等化特性。

此外，除了自適應等化器電路之等化特性的上述改變操作以外，自適應等化器電路被構成，使得根據立即在自適應等化器電路之輸出符號從正變到負之前的輸出值及第二參考值來改變等化特性，並且，根據立即在自適應等化器電路之輸出符號從負變到正之前的輸出值及第一參考值來改變等化特性。

此外，在上面所述之改變等化特性的構成中，根據在上述自適應等化器電路之輸出符號從正變到負或從負變到正之後的第一個輸出值及第一參考值來改變等化特性，並且，根據立即在上述自適應等化器電路之輸出符號從正變到負或從負變到正之後的第一個輸出值及第二參考值來改變等化特性。

此外，上述第二參考值被設定為一將上述第一參考值之符號倒轉的值。

此外，上述自適應等化器電路被構成，使得自適應等

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 7 )

化器電路被操作，以便以一具有和與一輸入訊號同步之參考時鐘訊號差  $1/2$  時鐘周期之相位差的訊號來取樣該輸入訊號，並且，根據自適應等化器電路之輸出值來改變等化特性。

此外，上述自適應等化器電路被操作，以便以一具有和與一輸入訊號同步之參考時鐘訊號差  $1/2$  時鐘周期之相位差的訊號來取樣該輸入訊號，並藉由內插法來計算自適應等化器電路的輸出值，其與具有一和參考時鐘訊號差  $1/2$  時鐘周期之相位差的訊號同步，且使用所計算之值來改變等化特性。

此外，自適應等化器電路被構成，使得上述參考值對應於在二進位化 (binarizing) 自適應等化器電路之輸出時的臨界值之改變而被改變。

### 附圖之簡略說明：

圖 1 係顯示本發明之第一實施例之自適應等化器電路的電路方塊圖。

圖 2 係習知自適應等化器電路的電路方塊圖。

圖 3 係顯示獲自一傳輸系統之波形實例的圖形。

圖 4 係習知調整器之頻率特性自適應等化器電路之輸入波形實例的圖形。

圖 5 係顯示具有不同振幅之單位周期的波形圖。

圖 6 係顯示 DVD 光碟之光學傳輸特性實例的圖形。

圖 7 係顯示 DVD 光碟之再生眼形圖案的示意圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 8 )

圖 8 係顯示本發明之第一實施例中之自適應等化輸出之資料序列的圖形。

圖 9 係顯示本發明之第二實施例之自適應等化器電路的電路方塊圖。

圖 10 係顯示第二實施例中之自適應等化輸出之資料序列的圖形。

圖 11 係顯示本發明之第三實施例之自適應等化器電路的電路方塊圖。

圖 12 係顯示本發明之第四實施例之自適應等化器電路的電路方塊圖。

圖 13 係顯示本發明之第五實施例之自適應等化器電路的電路方塊圖。

圖 14 係顯示在自適應等化輸出之眼形圖案中具有最大振幅及最小振幅的圖形。

### 元件對照表

101	相位鎖定迴路電路
102	1/2 時鐘周期延遲電路
103	零交叉符號判斷電路
104s	控制訊號
105	轉向開關
106	轉向開關
107s	控制訊號
108	轉向開關

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 9 )

200	訊 號
201	取 樣 值 輸 入
202	輸 出 值
203	加 法 電 路
204	減 法 電 路
205	取 樣 保 持 電 路
301	取 樣 值
1001-1004	資 料
901, 904	資 料
130	二 進 位 化 電 路
1302s	訊 號
1303	加 法 電 路
1401	3T-時 鐘 訊 號
1402	14T-時 鐘 訊 號
D0-Dn	單 位 時 鐘 期 延 遲 電 路
Dn+1	單 位 時 鐘 周 期 延 遲 電 路
1302	二 進 位 化 電 路
DCZ	單 位 時 鐘 周 期 延 遲 電 路
Mo-Mn	乘 法 電 路
Lo-Ln	乘 法 電 路
So-Sn	積 分 電 路
DCLK	時 序 訊 號
C0s-Cns	係 數 值
CE0-Cen	係 數 控 制 電 路 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 10 )

較佳實施例之詳細說明：

在配合附圖來詳細說明本發明之自適應等化器電路的構成及操作方式之前，先解釋這些圖形中所使用的符號。

在這些圖形中，數字 101 表示一 PLL 電路，數字 102 表示一  $1/2$  時鐘周期延遲電路，數字 103 表示一零交叉符號判斷電路，數字 105 表示一轉向開關，數字 106 表示一轉向開關，數字 108 表示一轉向開關， $D_0-D_n$  表示單位時鐘周期延遲電路， $D$  表示單位時鐘周期延遲電路， $DCZ$  表示單位時鐘周期延遲電路， $M_0-M_n$  表示乘法電路， $L_0-L_n$  表示乘法電路， $S_0-S_n$  表示積分電路，數字 203 表示一加法電路，數字 1302 表示一加法電路，數字 204 表示一減法電路，數字 205 表示一取樣保持電路，及數字 1302 表示一二進位化 (binarization) 電路。

圖 1 顯示本發明之第一實施例之自適應等化器電路的電路方塊圖，在此圖形中，具有和圖 2 之功能相同的功能之方塊被賦予相同的符號。在圖 1 所示之電路的操作中，與例舉習知例之圖 2 的電路不同的部分之操作被解釋於下文中，一再生自光碟 (圖中未顯示出) 且去除其 DC 分量的訊號 200 被輸入至取樣保持電路 205，如同在習知例的情況中一樣，根據操作時序訊號 DCLK 來操作乘法電路及積分電路。

操作時序訊號 DCLK 係產生自 PLL 電路 101，而 PLL 電路 101 與一輸入訊號的零交叉點及一  $D/2$  延遲元件 102 同步， $D/2$  延遲元件 102 具有藉由 PLL 電路 101 所獲得之時鐘訊號的  $1/2$  周期之延遲量。一輸出自取樣保持電路 205 之取樣值被輸入至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 1 )

一 FIR濾波器，而 FIR濾波器係由具有一個時鐘周期之延遲量的延遲元件 D1-Dn及乘法電路 M0-Mn所構成。在此，假設用以執行乘法、積分加法和減法的個別電路不具有電路延遲。

在 FIR濾波器處之係數更新操作被解釋於下文中。圖 1 之開關 105 起初被設定於黑點側，且 0(零)被輸入作為對係數控制電路之乘法電路 L0-Ln 的等化誤差，在此情況中，乘法電路 L0-Ln 的輸出變成 0，且積分電路 S0-Sn 的輸出值不改變，因此、係數值 C0s-Cns 不改變。圖 8 顯示來自上述 FIR濾波器之輸出上資料的實例，圖 8 中虛線顯示參考時鐘周期，在此實施例的波形等化器電路中，藉由以上述操作時序訊號 DCLK 來實施取樣以計算輸出。因此，在由圖 8 之白點所表示之位置(被獲得有相關於參考時鐘 1/2 周期之延遲)的資料序列係輸出自 FIR濾波器，此資料序列被輸入至零交叉符號判斷電路 103，零交叉符號判斷電路 103 偵測到在符號從負變到正之後的第一個資料，並將這些資料假設為係數更新取樣。在圖 8 中，資料 801 及資料 802 變成係數更新取樣。當係數更新取樣被偵測到時，轉向開關 105 被轉向至白點側，以回應控制訊號 104s，並且根據係數更新取樣所計算之等化誤差及參考值 Vref 被輸入至係數控制電路的乘法電路 L0-Ln。因此，積分電路 S0-Sn 的輸出改變，且係數 C0s-Cns 被更新。當係數更新取樣未被偵測到時，轉向開關 105 被連接至黑點側，以便停止係數 C0s-Cns 的更新。

在這樣的構成中，如圖 8 所示，甚至當訊號振幅對應於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 12 )

訊號周期而被改變時，因為在零交叉之後，在 $1/2$ 時鐘周期處的振幅上實際沒有差別，所以被提供來計算等化誤差之參考值 $V_{ref}$ 能夠被固定於一固定值，使得甚至能夠對具有振幅擾動之輸入訊號實施穩定的自適應等化。此外，因為根據訊號的零交叉資料，沒有係數更新，所以能夠對圖4所示之單位頻率訊號實施穩定的自適應等化。

圖9顯示本發明之第二實施例之自適應等化器電路的電路方塊圖，在此圖形中，具有和圖1之功能相同的功能之方塊被賦予相同的符號，並且省略他們的解釋。

此實施例之自適應等化器電路的係數更新操作使用圖10而被解釋於下文中。圖10顯示獲得於圖9所示之自適應等化器電路的輸出202處之資料序列，在輸出202處，如同在實施例1的情況中一樣，獲得有相關於參考時鐘 $1/2$ 周期延遲之圖10中的白點資料序列能夠被得到。如同在實施例1的情況中一樣，所得到之資料序列被輸入至零交叉符號判斷電路103，在零交叉符號判斷電路103中，在資料序列中之零交叉後的第一個資料被提取作為係數更新取樣。在圖10中，資料1001-1004變成係數更新取樣，所提取之資料分別受到符號判斷。在符號判斷中，根據控制訊號107s來控制轉向開關106，使得當所提取之資料的符號為正時，正的第一參考值( $V_{ref1} > 0$ )被選擇，並且當所提取之資料的符號為負時，負的第二參考值( $V_{ref2} < 0$ )被選擇。在圖9的情況中，在資料1001, 1003處選擇第二參考值 $V_{ref2}$ ，且在資料1002, 1004處選擇第一參考值 $V_{ref1}$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 13 )

由於這樣的構成，而同時確保由實施例1所獲得的類似有利效果，此實施例也能夠藉由使用在零交叉後所有的第一個資料當作係數更新資料來提高係數收斂性能。

圖11顯示本發明之第三實施例之自適應等化器電路的電路方塊圖，在此圖形中，具有和圖1及圖9之功能相同的功能之方塊被賦予相同的符號，並且省略他們的解釋。

此實施例之自適應等化器電路的係數更新操作被解釋於下文中。以和實施例1及實施例2相同的方式，在輸出202處所獲得之資料序列被輸入至零交叉符號判斷電路103，在零交叉符號判斷電路103中，以和實施例2相同的方式實施係數更新取樣的提取及符號判斷。由於符號判斷的結果，根據控制訊號107s來控制轉向開關108，當符號判斷的結果為正時，轉向開關108選擇一白點，亦即1，而當符號判斷的結果為負時，轉向開關108選擇一黑點，亦即-1。由於這樣的構成，但沒有提供多個參考值，能夠獲得類似於實施例2的有利效果。

圖12顯示本發明之第四實施例之自適應等化器電路的電路方塊圖，在此圖形中，具有和圖9之功能相同的功能之方塊被賦予相同的符號，並且省略他們的解釋，圖形中之D(n+1)表示一單位延遲元件，其具有和單位延遲元件D0-Dn之功能類似之功能。

此實施例之自適應等化器電路的係數更新操作被解釋於下文中。以和實施例2相同的方式，來自FIR濾波器的輸出資料202被輸入至零交叉符號判斷電路103，而輸出資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 14)

202係根據以時序訊號DCLK所取樣之資料所計算出來的。舉例來說，以和實施例2相同的方式，解釋在圖10中之資料901被提取作為在零交叉後之係數更新資料時的操作。當資料901被提取時，轉向開關105被選擇為白點側，且係數更新被實施。在此，雖然資料901的符號被判斷作負時，經由一單位延遲電路DCZ而領先資料901一個時鐘周期的資料904被輸入至減法電路204，而減法電路204計算等化誤差。因為資料904的符號和資料901的符號相反，作為參考值，具有和資料901之符號相反的符號之正的第一參考值( $V_{ref1}$ )被選擇，因此所計算出之等化誤差被輸入至係數控制電路CE0-CEn。在此，在個別的係數控制電路CE0-CEn中，必需根據被用來計算資料904及上述等化誤差之輸入取樣資料來更新係數。因此，使輸入資料延遲1時鐘周期之資料DD0被用來計算係數CS0，資料DD0等於在計算資料904時所使用之輸入資料。為了計算係數CS1，使輸入資料延遲2時鐘周期之資料DD1被使用，此資料DD1等於使在計算資料904時之輸入資料延遲1時鐘周期的資料。以相同的方式，為了計算係數CSn，使輸入資料延遲( $n+1$ )時鐘周期之資料DD( $n+1$ )被使用，因此，能夠根據係數CSn在計算資料904時之n時鐘周期延遲及先前所述的等化誤差來計算係數CSn，使得能夠根據資料904來實施適當的係數更新計算。而後，在一個時鐘周期之後，資料901被輸入至減法電路204，與此輸入同步，根據控制訊號107s，轉向開關106被轉向至具有和資料901相同符號之負的第二參考值( $V_{ref2}$ )側。在此，在將轉向開

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 15 )

關於 105 固定於白點側的同時，根據資料 901 來實施係數更新，根據資料 901 及第二參考值所計算之等化誤差被輸入至係數控制電路 CE0-CEn。在此，被輸入至個別的係數控制電路 CE0-CEn 中之輸入取樣資料 DD0-DDn 被轉換成相較於在計算資料 904 時之資料延遲一個時鐘周期的資料，並且這些資料等於被用來計算資料 901 的資料。因此，使用資料 901 之適當的係數更新能夠被實施。

由於這樣的構成，雖然相較於實施例 2 及實施例 3，一單位延遲元件即將被添加，但是此實施例能夠使用在零交叉之前或之後的資料來實施係數更新。因此，相較於僅使用在零交叉之後的資料來實施係數更新之實施例 1-3，此實施例能夠進一步提高係數轉變性能，而同時獲得類似於實施例 1-3 的有利效果。

雖然此實施例敘述使用第二參考值之自適應等化器電路，但是可以使用如實施例 3 所述之控制參考值符號的構成。

圖 13 顯示本發明之第五實施例之自適應等化器電路的電路方塊圖，在此圖形中，具有和圖 11 之功能相同的功能之方塊被賦予相同的符號，並且省略他們的解釋。在此圖形中，數字 130 表示一二進位化 (binarizes) 在輸出 201 處所獲得之資料序列的二進位化電路，在此電路中，一在二進位化時所使用之臨界值  $V_{slth}$  被輸入至加法電路 1303 當作訊號 1302s，在選擇之後，臨界值  $V_{slth}$  被加到第一參考值  $V_{ref1}$  及第二參考值  $V_{ref2}$ 。由於這樣的構成，使得圖 10 之第一參

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 16 )

考值  $Vref1$  及第二參考值  $Vref2$  跟著自適應等化器電路之輸入訊號之對稱的位移之後變成可能，而因此，能夠確保穩定的等化特性。

雖然此實施例敘述使用第二參考值之自適應等化器電路，但是可以使用如實施例 3 所述之控制參考值符號的構成。

圖 14 顯示具有最大振幅及最小振幅之眼形圖案的圖形，而在最大振幅及最小振幅係提取自等化器電路輸出訊號的眼形圖案，舉例來說，假設圖形描述一 DVD-ROM 光碟之再生訊號，數字 1401 表示一  $3T$ -周期訊號，且數字 1402 表示一  $14T$ -周期訊號。當對此具有在零交叉後  $T1$  之時序的波形實施等化器電路之係數更新時，此時序之振幅在波形 1401 處變成  $a1$ ，並在波形 1402 處變成  $a2$ 。根據個別振幅與參考值  $Vref$  之間的差值來實施係數更新，假設參考值  $Vref$  被適當地設定，振幅比值  $b = (a2 - a1)/a2$  愈大，在實施等化器電路之係數更新時，個別振幅與參考值  $Vref$  之間的差值變得愈大，而振幅  $b$  愈小，差值變得愈小。根據等化誤差的可容許值來決定振幅比值  $b$  的可容許值，而等化誤差的可容許值能夠根據用以實施等化器電路之係數更新之一迴路的增益、等化波形的跳動等等來予以計算。

因此，雖然在實施例 1 中，係數更新的時序  $T1$  被設定為  $1/2$  時鐘周期，但是在上述振幅比值  $b$  的可容許範圍之內，時序  $T1$  可以被任意地選擇。此外，雖然圖 14 顯示僅在零交叉後之時序時實施係數更新的例子，但是如同在實施例 2-5 的

( 請先閱讀背面之注意事項再填寫本頁 )

裝

訂

線

## 五、發明說明 ( 17 )

情況中，甚至在零交叉的時序之前或之後實施係數更新的技術中，振幅比值  $b$  能夠被類似地界定，並且用以實施係數更新之時序可以被任意地選擇於此振幅比值  $b$  的可容許範圍內。在此，藉由在零交叉之前或之後相等時間間隔的時序時實施係數更新，能夠獲得類似於實施例 3 之效果的有利效果。

此外，根據本發明之等化特性的更新機構被非限定在上述的實施例。此外，雖然在上述實施例中敘述了數位電路操作，其中根據時序訊號 DCLK 來操作個別的電路元件，但是，等化器電路可以是由類比電路所構成的，並且在上述實施例中所使用之根據時序訊號 DCLK 來操作的取樣保持電路可以被設置於用以計算等化誤差之減法電路及係數控制電路的輸入。

根據本發明之自適應等化器電路，使用等化誤差來更新自適應等化器電路的等化特性，而等化誤差是根據自適應等化器電路輸出與任意給定之參考值而被計算出的，自適應等化器電路輸出與輸入訊號之參考時鐘訊號被同步獲得，而輸入訊號則獲得自被  $1/2$  時鐘周期零交叉之後，或者被  $1/2$  時鐘周期零交叉之前及之後的傳輸系統。因此，在振幅被擾動的系統中，能夠實現穩定的自適應等化操作，但不需根據振幅來轉換用以計算等化誤差的參考值。此外，藉由以二進位化電路之臨界值來連鎖參考值，而二進位化電路構成自適應等化器電路的尾級，能夠實現展現對輸入訊號之對稱的位移之穩定度的等化特性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1. 一種自適應等化器電路，將給定的等化特性加到經由一傳輸路徑所輸入之訊號，並實施控制，使得藉由根據所獲得之輸出及一給定之參考值來執行算術運算所得到的等化誤差被最小化，因此而獲得等化特性。

改進之特徵在於自適應等化器電路具有改變等化特性之構成，其中該自適應等化器電路之算術運算與一具有和該訊號之參考時鐘訊號差  $1/2$  時鐘周期的訊號同步被執行，並且藉由根據在自適應等化器電路之輸出的符號從正變到負或從負變到正之後的第一個輸出值及該給定的參考值來計算等化誤差，以改變等化特性。

2. 如申請專利範圍第1項之自適應等化器電路，其中改變等化特性之構成為一構成，在該構成中，根據在自適應等化器電路之輸出符號從正變到負之後的第一個輸出值及第一參考值來改變自適應等化器電路的等化特性，並且，根據在自適應等化器電路之輸出符號從負變到正之後的第一個輸出值及第二參考值來改變自適應等化器電路的等化特性。

3. 如申請專利範圍第2項之自適應等化器電路，其中除了自適應等化器電路之等化特性的改變操作以外，自適應等化器電路被構成，使得根據立即在自適應等化器電路之輸出符號從正變到負之前的輸出值及第二參考值來改變自適應等化器電路的等化特性，並且，根據立即在自適應等化器電路之輸出符號從負變到正之前的輸出值及第一參考值來改變自適應等化器電路的等化特性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項  
再填寫本頁)裝  
訂  
線

## 六、申請專利範圍

4.如申請專利範圍第1項之自適應等化器電路，其中改變等化特性之該構成為一構成，在該構成中，根據在自適應等化器電路之輸出符號從正變到負或從負變到正之後的第一個輸出值及第一參考值來改變自適應等化器電路的等化特性，並且，根據立即在自適應等化器電路之輸出符號從正變到負或從負變到正之後的第一個輸出值及第二參考值來改變自適應等化器電路的等化特性。

5.如申請專利範圍第2項之自適應等化器電路，其中第二參考值被設定為一將第一參考值之符號倒轉的值。

6.如申請專利範圍第1項之自適應等化器電路，其中自適應等化器電路被操作，以便以一具有和與一輸入訊號同步之參考時鐘訊號差 $1/2$ 時鐘周期之相位差的訊號來取樣該輸入訊號，並且，根據自適應等化器電路之輸出來改變等化特性。

7.如申請專利範圍第1項之自適應等化器電路，其中自適應等化器電路被操作，以便以一與一輸入訊號同步之參考時鐘訊號來取樣該輸入訊號，並藉由內插法來計算自適應等化器電路的輸出值，其與具有一和參考時鐘訊號差 $1/2$ 時鐘周期之相位差的訊號同步，且使用所計算之值來改變自適應等化器電路的等化特性。

8.如申請專利範圍第1項之自適應等化器電路，其中參考值對應於在二進位化自適應等化器電路之輸出時的臨界值之改變而被改變。

9.如申請專利範圍第1項之自適應等化器電路，其中

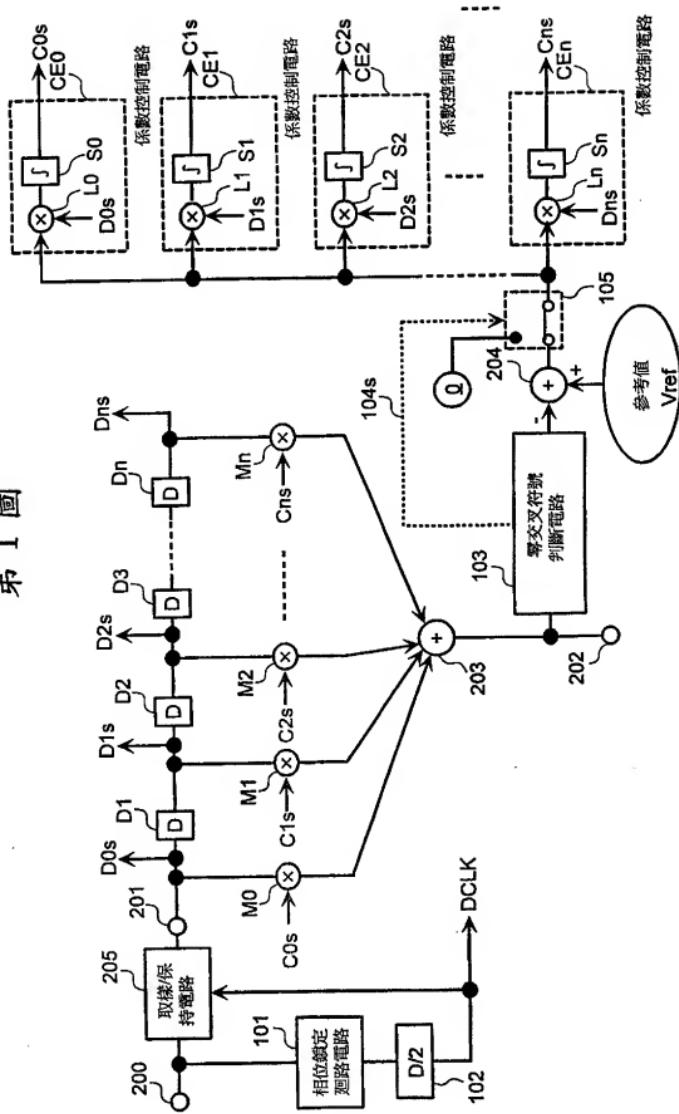
## 六、申請專利範圍

被輸入至自適應等化器電路之訊號為被光學地讀取自一記錄媒體的訊號。

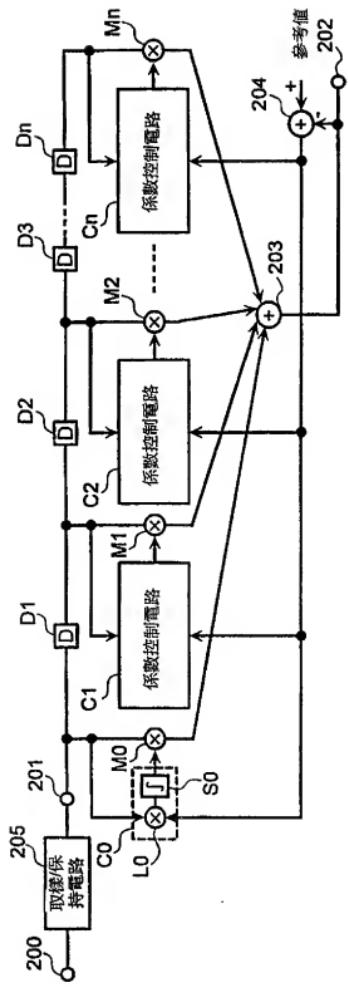
(請先閱讀背面之注意事項再填寫本頁)

裝訂線

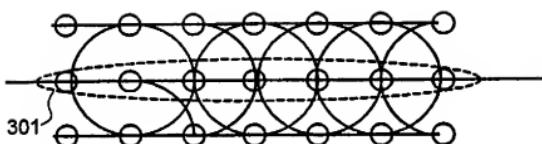
圖 1 第



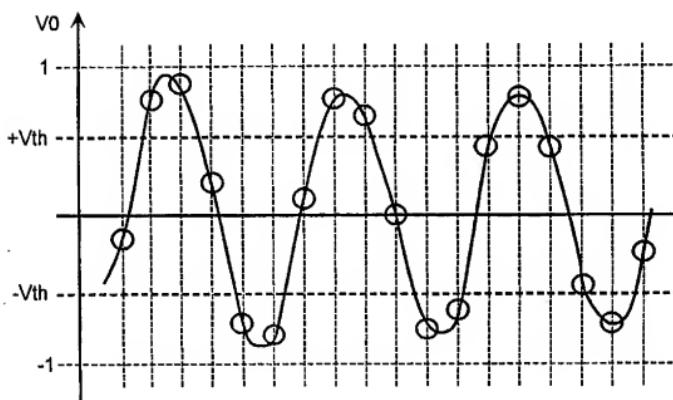
第 2 圖



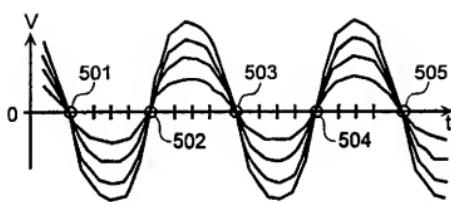
第 3 圖



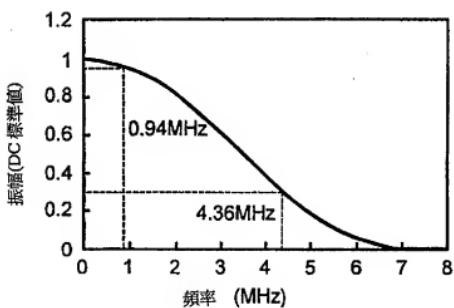
第 4 圖



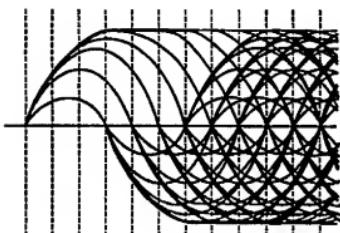
第 5 圖



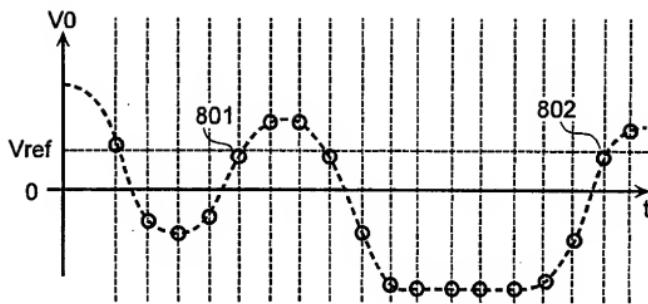
第 6 圖



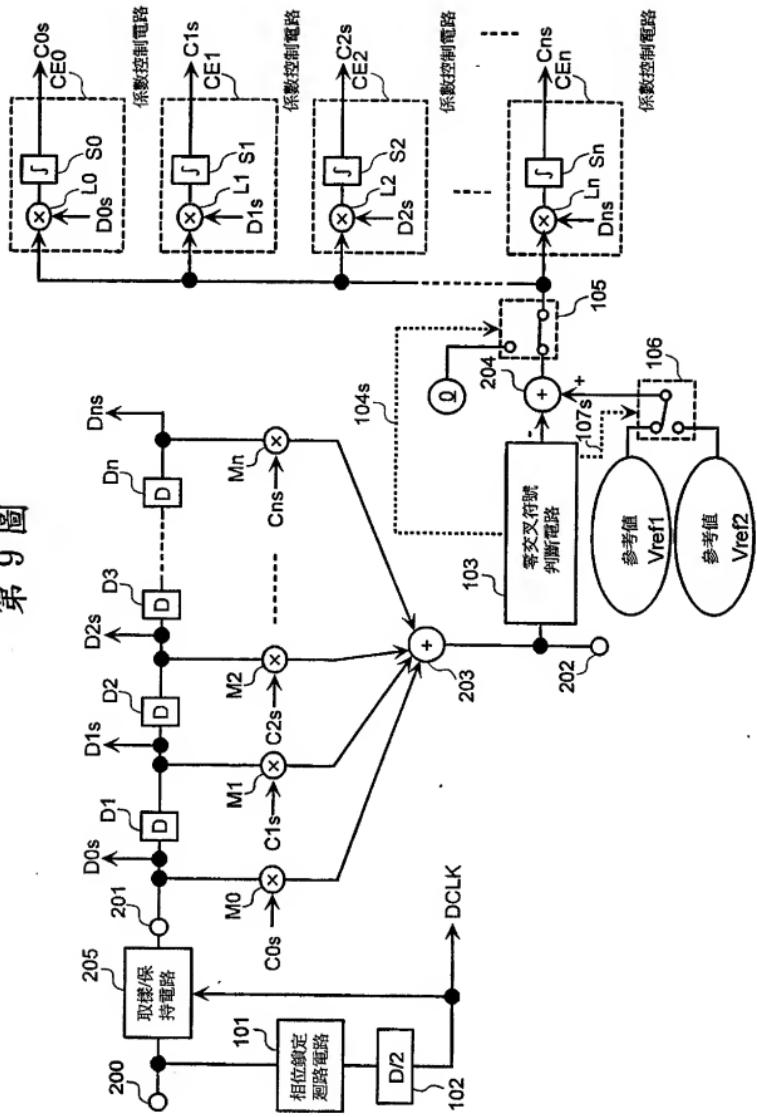
第 7 圖



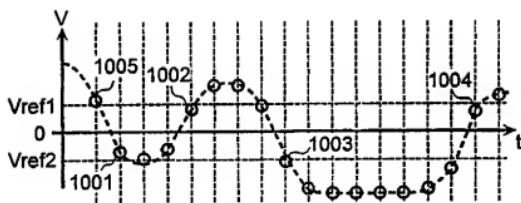
第 8 圖



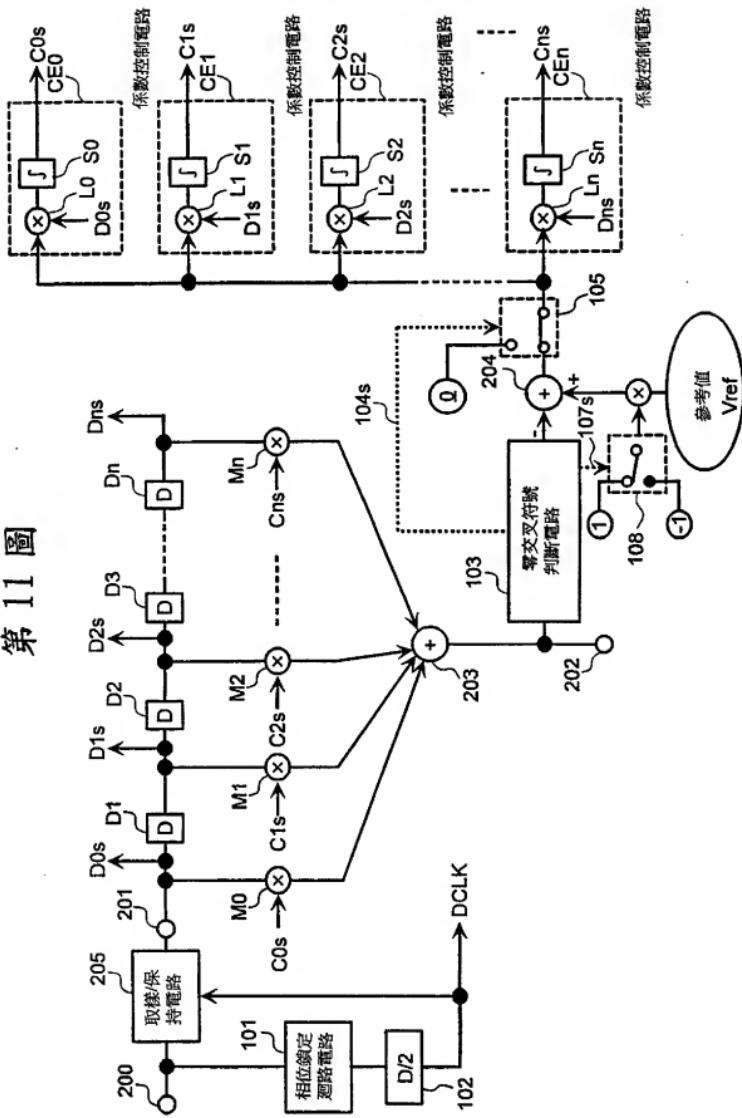
第 9 圖



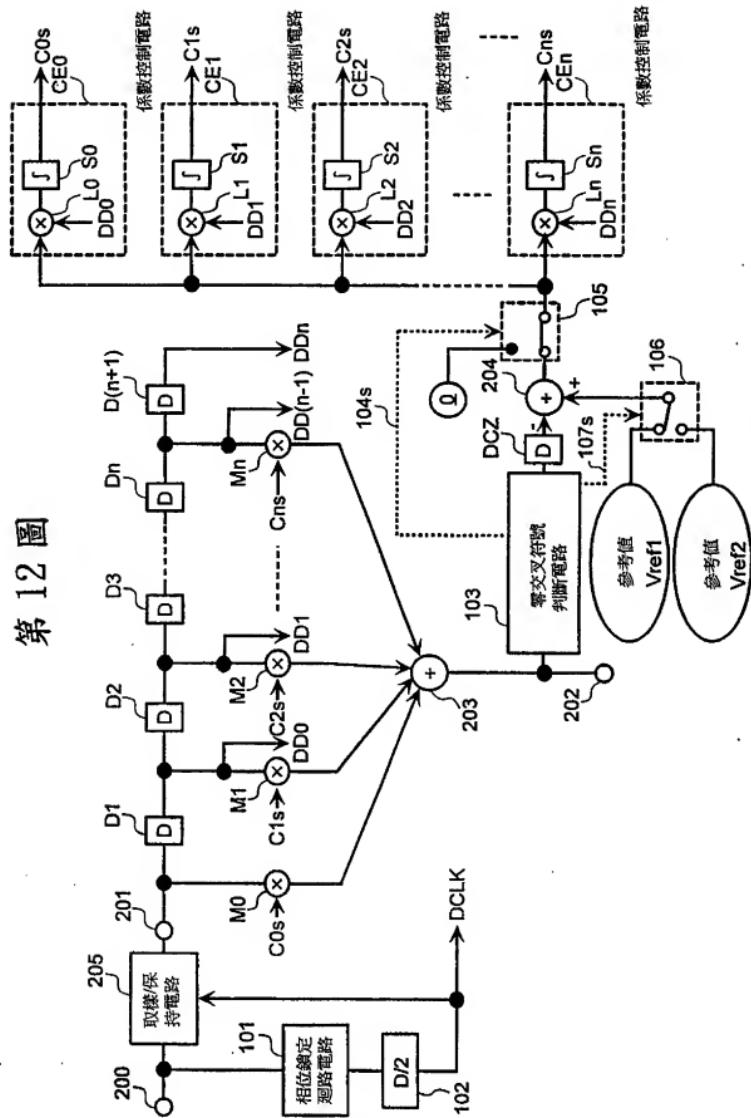
第 10 圖



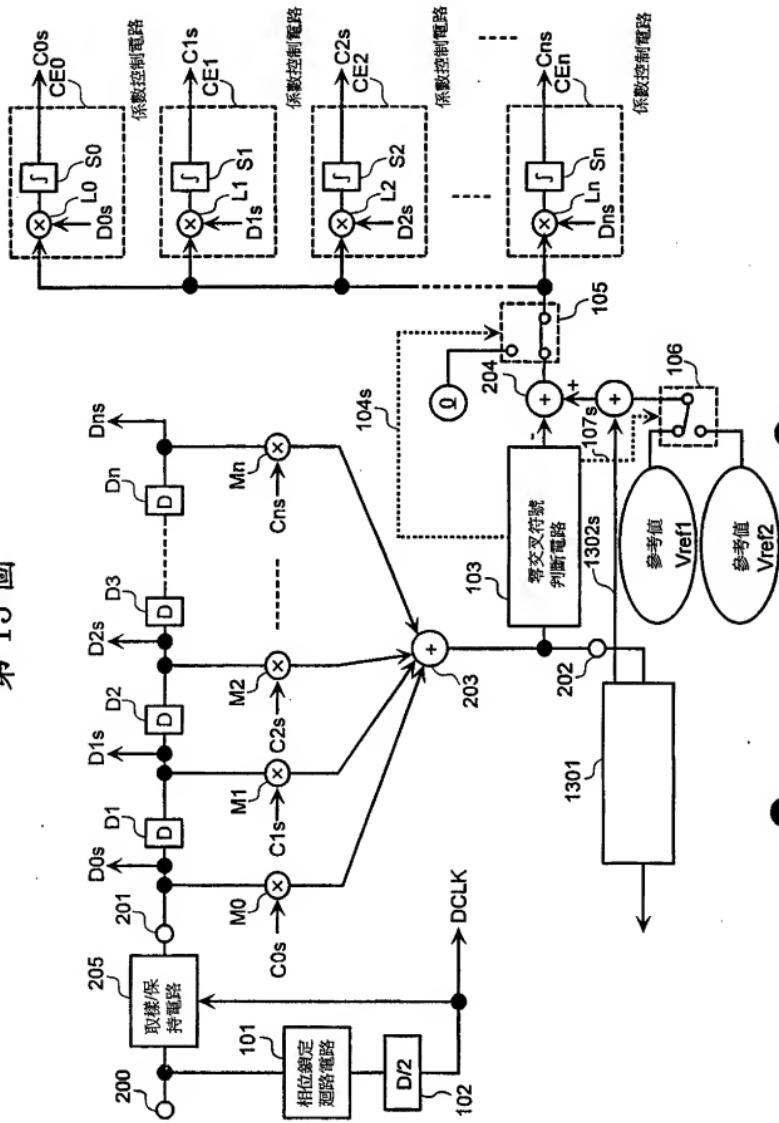
第 11 圖



12 圖



第13圖



第 14 圖

